

5/n 09/924,293

act unit 2811



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月11日

出 願 番 号

Application Number:

特願2000-243783

出 願 人

Applicant(s):

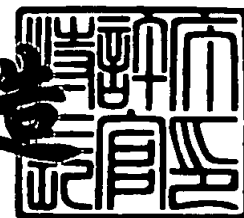
株式会社アイ・イー・ピー・テクノロジーズ  
カシオ計算機株式会社

RECEIVED  
SEP 20 2001  
HC2800 MAIL ROOM

2001年 8月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3067550

【書類名】 特許願

【整理番号】 PAT-B-0006

【提出日】 平成12年 8月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社アイ  
・イー・ピー・テクノロジーズ内

【氏名】 田原 伊和男

【発明者】

【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社アイ  
・イー・ピー・テクノロジーズ内

【氏名】 三原 一郎

【発明者】

【住所又は居所】 東京都羽村市栄町 3 丁目 2 番 1 号 カシオ計算機株式会  
社羽村技術センター内

【氏名】 青木 由隆

【特許出願人】

【識別番号】 500224531

【氏名又は名称】 株式会社アイ・イー・ピー・テクノロジーズ

【代表者】 田原 伊和男

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代表者】 樫尾 和雄

【代理人】

【識別番号】 100096699

【弁理士】

【氏名又は名称】 鹿嶋 英實

【手数料の表示】

【予納台帳番号】 021267

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010511

【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第 1 の導体層と、前記複数の第 1 の導体層上に設けられた複数の柱状電極と、を備える半導体装置において、

前記絶縁膜上に形成された、少なくとも 1 つの第 2 の導体層を備え、該第 2 の導体層により形成された誘導素子を備えていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の発明において、前記誘導素子を保護膜で覆うことを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置において、前記誘導素子上に前記保護膜を介して磁性体膜が形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の発明において、前記誘導素子の一端および他端が前記接続パッドに接続されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の発明において、前記誘導素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 6】 請求項 1 に記載の発明において、前記誘導素子の一端および他端に柱状電極が設けられていることを特徴とする半導体装置。

【請求項 7】 請求項 1 に記載の発明において、前記誘導素子を複数備えていることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の発明において、前記複数の誘導素子を保護膜で覆うとともに、該複数の誘導素子のうち、少なくとも 1 つの誘導素子上に、前記保護膜を介して磁性体膜が形成されていることを特徴とする半導体装置。

【請求項 9】 請求項 7 に記載の発明において、前記複数の誘導素子は、誘導素子の、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され、他端に柱状電極が設けられている構成、及び、一端およ

び他端に柱状電極が設けられている構成のうち、少なくとも2種類の構成を備えていることを特徴とする半導体装置。

【請求項10】 回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第1の導体層と、前記複数の第1の導体層上に設けられた複数の柱状電極と、を備える半導体装置の製造方法において、

前記絶縁膜上に少なくとも1つの第2の導体層を形成する工程と、

該第2の導体層により誘導素子を形成する工程と、  
を具備することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10に記載の発明において、前記誘導素子上に保護膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項12】 請求項11に記載の発明において、前記誘導素子上に、前記保護膜を介して磁性体膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項13】 回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、

前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、

前記絶縁膜上に、導体層により誘導素子を形成する工程と、

前記複数の接続パッドに接続された、少なくとも1つの柱状電極を形成する工程と、

前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子を覆う保護膜を形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子上に、前記誘導素子を覆う保護膜を介して磁性体膜を形

成する工程を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、C S P (Chip Size Package) 構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、チップとパッケージのサイズがほぼ等しくなるC S P構造の半導体装置が知られており、その構造例を図14に示す。この図に示す半導体装置20は、保護膜形成、導体層形成、ポスト形成および樹脂封止の各工程からなるパッケージ処理を終えたウエハを個々のチップにダイシングして得られる、所謂ウエハレベルC S Pと呼ばれる構造を有している。

すなわち、半導体装置20は、ウエハ（半導体基板）1の表面（回路面）側にアルミ電極等からなる複数の接続パッド2を有し、この接続パッド2の上面側には各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション3が形成される。

【0003】

パッシベーション3の上面側には、各接続パッド2の中央部分が開口するよう保護膜4が形成される。保護膜4は例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

こうして形成される保護膜4上には、各接続パッド2と後述するポスト（柱状電極）6とを電氣的に接続する導体層5が形成される。導体層5上の所定箇所には、柱状電極である複数のポスト6が設けられる。

【0004】

ポスト6を覆うように、ウエハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7が形成される。封止膜7の上端面は切削研磨され、これにより露出するポスト6の端面6aについては、その表面の酸

化膜を取り除き、そこにハンダ印刷等のメタライズ処理が施される。

【0005】

【発明が解決しようとする課題】

ところで、Bluetoothモジュール等の無線I/Fを具現するトランシーバチップでは、PLL回路やVCO回路あるいはフィルタ回路などのRF機能要素が必須になる。これらRF機能要素を具現するには、誘導素子（インダクタ）等の各種受動素子をウエハ上の回路素子形成領域DA（図25参照）に設ける必要がある。

【0006】

しかしながら、回路素子形成領域DAに誘導素子を形成しようとすると、必然的にチップ面積の増大を招致してしまう。上述したCSP構造による半導体装置20において、チップ面積が増大すると、1枚のウエハから個片化されるチップの数が少なくなる上、製造歩留りも悪化する、という問題が生じる。

その為、現状ではRF機能要素を具現する各種受動素子をディスクリート部品としてチップに外付けする形態としているが、そのような形態ではRFモジュールのダウンサイジング化が難しい、という弊害も派生する。

【0007】

そこで本発明は、このような事情に鑑みてなされたもので、チップ面積の増大を招くことなく誘導素子を搭載することができる半導体装置および半導体装置の製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の半導体装置は、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第1の導体層と、前記複数の第1の導体層上に設けられた複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された、少なくとも1つの第2の導体層を備え、該第2の導体層により形成された誘導素子を備えていることを特徴とする。

【 0 0 0 9 】

請求項 2 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子を保護膜で覆うことを特徴とする。

【 0 0 1 0 】

請求項 3 に記載の半導体装置は、請求項 2 に記載の半導体装置において、前記誘導素子上に前記保護膜を介して磁性体膜が形成されていることを特徴とする。

【 0 0 1 1 】

請求項 4 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子の一端および他端が前記接続パッドに接続されていることを特徴とする。

【 0 0 1 2 】

請求項 5 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子の一端が前記接続パッドに接続され、他端に柱状電極が設けられていることを特徴とする。

【 0 0 1 3 】

請求項 6 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子の一端および他端に柱状電極が設けられていることを特徴とする。

【 0 0 1 4 】

請求項 7 に記載の半導体装置は、請求項 1 に記載の発明において、前記誘導素子を複数備えていることを特徴とする。

【 0 0 1 5 】

請求項 8 に記載の半導体装置は、請求項 7 に記載の発明において、前記複数の誘導素子を保護膜で覆うとともに、該複数の誘導素子のうち、少なくとも 1 つの誘導素子上に、前記保護膜を介して磁性体膜が形成されていることを特徴とする。

【 0 0 1 6 】

請求項 9 に記載の半導体装置は、請求項 7 に記載の発明において、前記複数の誘導素子は、誘導素子の、一端および他端が前記接続パッドに接続されている構成、一端が前記接続パッドに接続され、他端に前記柱状電極が設けられている構成、及び、一端および他端に前記柱状電極が設けられている構成のうち、少なく



とも2種類の構成を備えていることを特徴とする。

【0017】

請求項10に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第1の導体層と、前記複数の第1の導体層上に設けられた複数の柱状電極と、を備える半導体装置の製造方法において、前記絶縁膜上に少なくとも1つの第2の導体層を形成する工程と、該第2の導体層により誘導素子を形成する工程と、を具備することを特徴とする。

【0018】

請求項11に記載の半導体装置の製造方法は、請求項10に記載の発明において、前記誘導素子上に保護膜を形成する工程を具備することを特徴とする。

【0019】

請求項12に記載の半導体装置の製造方法は、請求項11に記載の発明において、前記誘導素子上に、前記保護膜を介して磁性体膜を形成する工程を具備することを特徴とする。

【0020】

請求項13に記載の半導体装置の製造方法は、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、前記各チップ形成領域の回路素子形成領域上に絶縁膜を形成する工程と、前記絶縁膜上に、導体層により誘導素子を形成する工程と、前記複数の接続パッドに接続された、少なくとも1つの柱状電極を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、を具備することを特徴とする。

【0021】

請求項14に記載の半導体装置の製造方法は、請求項13に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子を覆う保護膜を形成する工程を具備することを特徴とする。

【0022】

請求項 1 5 に記載の半導体装置の製造方法は、請求項 1 4 に記載の発明において、前記誘導素子を形成する工程は、前記誘導素子上に、前記誘導素子を覆う保護膜を介して磁性体膜を形成する工程を具備することを特徴とする。

#### 【 0 0 2 3 】

本発明では、回路素子形成領域上に配置される導体層をインダクタンス成分が生じるようにパターンニングして誘導素子 L を形成するので、チップ面積の増大を招くことなく誘導素子を搭載することができる。

また、本発明では、そのようにして形成された誘導素子 L の上面および下面を保護膜 8 で挟み込むようにした為、チップ面積の増大を招くことなく誘導素子を搭載でき、しかも安定した誘導特性を得ることができる。

さらに、本発明では、誘導素子 L を覆う保護膜上に磁性体膜を形成するから、チップ面積の増大を招くことなく誘導素子を搭載でき、しかも強インダクタンスを生成し得る結果、誘導素子の小型化を図ることができる。

#### 【 0 0 2 4 】

##### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

##### (1) 第 1 の実施形態

図 1 ～図 7 は、第 1 の実施形態による半導体装置 2 0 の構造およびその製造工程を説明する為の断面図である。これらの図において前述した従来例（図 1 4 参照）と共通する部分には同一の番号を付し、その説明を省略する。

第 1 の実施形態による半導体装置 2 0 が前述した従来例（図 1 4 参照）と相違する点は、保護膜 4 上に設けられる導体層 5 をインダクタンス成分が生じるようにパターンニングして誘導素子 L を形成したことにある。

#### 【 0 0 2 5 】

図 1 に図示する構造の場合、誘導素子 L の一方側下面が接続パッド 2 を介してウエハ 1 の回路素子形成領域（不図示）に接続されると共に、一方側上面にはポスト 6 が形成される。また、誘導素子 L の他方側は保護膜 4 上に設けられ、他方側上面にはポスト 6 が形成される。

こうして形成される誘導素子 L には、インダクタンス成分を生じせしめる形状

として、角渦巻き状、つづら折れ状（矩形波状）あるいはループ状のパターニングが用いられる。

また、誘導素子Lは、回路素子形成領域DA上に各種態様で配置でき、例えば角渦巻き状でパターニングされた誘導素子Lにて比較的大きなインダクタンス成分を発生させる場合には図2（イ）に図示する態様、あるいは複数の誘導素子Lを設ける場合には図2（ロ）に図示する態様にする。

#### 【0026】

次に、図3～図7を参照して、上記構造による半導体装置20の製造工程について説明する。第1の実施形態による製造工程では、先ず図3に図示する通り、ウエハ1の回路面側に設けられたアルミ電極等からなる複数の接続パッド2の上面側に、それぞれ各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション3を形成した後、このパッシベーション3の上面側に各接続パッド2の中央部分が開口するよう保護膜4を形成する。

#### 【0027】

この保護膜4は、例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターニングおよび保護膜パターニングを施してからレジスト剥離することで形成される。

保護膜4は、ポリイミド系樹脂材を塗布してスピンコートする手法の他、スキージを用いる印刷法やノズルからのインク吐出による塗布法を用いることが可能であり、保護膜材料としてもポリイミド系樹脂材に限らず、エポキシ系樹脂材やPBO（ベンザオキシドール系）等を用いても良い。

#### 【0028】

次に、図4に図示するように、保護膜4に形成された開口部を介して露出される接続パッド2上に導体層5および誘導素子Lを形成する。導体層5および誘導素子Lは保護膜4の全面にUBMスパッタ処理等によりUBM層（図示略）を堆積し、この後、導体層用および誘導素子用のフォトリソグロフィ技術により所定形状の開口部分に対応したパターニングや誘導素子用のパターニングを施した後、このレジストによって開口された部分に電解メ

ッキを施すことで形成される。

なお、導体層 5 および誘導素子 L を形成する手法としては、これ以外に無電解メッキ方法を用いることもできる。配線材料としては、良好な導電特性を備える銅、アルミおよび金あるいはこれらの合金を用いる。

#### 【0029】

導体層 5 および誘導素子 L を形成した後は、図 5 に図示するように、その導体層 5 および誘導素子 L 上の所定箇所にポスト 6 を設ける。ポスト 6 は、例えば 100～150  $\mu\text{m}$  程度の厚さでポスト形成用のフォトレジストを塗布硬化させた上、各導体層 5 および誘導素子 L の所定箇所を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。ポスト 6 を形成する手法としては、これ以外に無電解メッキ方法やスタッドバンプ法を用いることもできる。

ポスト材料は、良好な導電特性を備える銅、ハンダ、金あるいはニッケル等を用いる。なお、ポスト形成材料としてはんだを用いる場合は、この後リフロー処理を施す事により球状の電極を形成することも出来る。また、はんだを用いてポスト 6 を形成する場合には、上記の他に印刷法を用いることもできる。

#### 【0030】

こうして、図 5 に図示した構造が形成された後は、図 6 に図示するように、ポスト 6 を覆うように、ウエハ 1 の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜 7 を形成する。封止膜 7 は、環境変化に対応する信頼性を確保する上で、好ましくは上述した保護膜 4 と主成分が実質的に同一な樹脂材とする。なお、封止膜 7 を形成する手法としては、上記モールド法の他に、印刷法、浸漬法、スピンコート法、ダイコート法を用いることもできる。

#### 【0031】

ポスト 6 の樹脂封止後は、図 7 に示すように、封止膜 7 の上端面を切削研磨してポスト 6 の端面 6 a を露出させ、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理を施す。この後、予め定められたカットライン CL に沿ってダイシングを施してウエハ 1 をチップに個片化する。これにより、図 1 に図示した構造の半導体装置 20 が生成される。

#### 【0032】

さて、このような構造を有する半導体装置 2 0 では、導体層 5 をインダクタンス成分が生じるようにパターンニングして誘導素子 L を形成しているので、導体層 5 およびポスト 6 の配置態様に応じて誘導素子 L を様々な形態で集積回路 ( L S I ) に接続し得る。

その具体例を、図 8 ～図 1 1 を参照して説明する。これらの図は、半導体装置 2 0 における導体層 5 およびポスト 6 の配置態様に応じた誘導素子 L の接続形態と、それに対応する等価回路とを図示している。

#### 【 0 0 3 3 】

図 8 は誘導素子 L の一端を、ポスト 6 を介して端子 T 2 に接続する一方、他端を、ポスト 6 を介して端子 T 3 に出力しながら接続パッド 2 - 2 に接続する形態を図示している。

図 9 は誘導素子 L の一端を、ポスト 6 を介して端子 T 2 に出力しながら接続パッド 2 - 2 に接続する一方、他端を、ポスト 6 を介して端子 T 3 に出力しながら接続パッド 2 - 3 に接続する形態を図示している。

図 1 0 は誘導素子 L の一端を接続パッド 2 - 2 に接続する一方、他端を接続パッド 2 - 3 に接続する形態を図示している。

図 1 1 は誘導素子 L を接続パッド 2 に接続せずに、両端をそれぞれ端子 T 2 , T 3 に接続する形態を図示している。

#### 【 0 0 3 4 】

以上のように、第 1 の実施形態によれば、回路素子形成領域 D A 上で導体層 5 をインダクタンス成分が生じるようにパターンニングして誘導素子 L を形成したので、チップ面積の増大を招くことなく誘導素子を搭載することが可能になる。また、回路素子形成領域 D A 上に複数の誘導素子を設ける場合に、図 8 ～図 1 1 に示した誘導素子の各種形態が混在して設けられるようにしてもよいことは、いうまでもない。

#### 【 0 0 3 5 】

すなわち、第 1 の実施形態によれば、導体層 5 およびポスト 6 の配置態様に応じて誘導素子 L を様々な形態で集積回路 ( L S I ) に接続し得るので、チップ面積のダウンサイジング化は勿論、 B l u e t o o t h モジュールに適用した場合

には従来、必要とされていた外付け誘導素子を内蔵できるから、モジュールのダウンサイジング化にも寄与することができる。

【0036】

なお、上述した第1の実施形態では、誘導素子Lを単層としたが、これに限らず絶縁膜と誘導素子Lとを交互に積み重ねた複層構造にて複数の誘導素子Lを形成しても良い。

また、第1の実施形態では、説明の簡略化を図る為、単に導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成するようにしたが、実際にはその誘導素子Lが他の導体層5に与える電磁誘導を抑えるために、例えば、導体層5と同一平面の近傍位置に、導体層5と同じ材料よりなる、グランド層を設けてシールドする態様としても良い。

【0037】

(2) 第2の実施形態

次に、図12を参照して、第2の実施形態による半導体装置20の構造について説明する。この図において上述した第2の実施形態（図1参照）と共通する部分には同一の番号を付し、その説明を省略する。

上述した第1の実施形態では、保護膜4上に設けられる導体層5をインダクタンス成分が生じるようにパターンニングして誘導素子Lを形成したが、第2の実施形態では図12に図示するように、そのようにして形成した誘導素子Lおよび導体層5上に第2の保護膜8を設けた構造としている。

【0038】

このような構造によれば、誘導素子Lが保護膜4（第1の保護膜）と第2の保護膜8とに挟み込まれる為、安定した誘導特性を得ることが可能になっている。

なお、第2の保護膜4は、導体層5および誘導素子Lを形成した後、前述した第1の保護膜4と同様、例えばウエハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。

【0039】

(3) 第3の実施形態

次に、図13を参照して第3の実施形態について説明する。図13は第3の実施形態による半導体装置20の構造を示す断面図であり、この図において上述した第2の実施形態（図12参照）と共通する部分には同一の番号を付し、その説明を省略する。

#### 【0040】

上述した第2の実施形態では、誘導素子Lを保護膜4（第1の保護膜）と第2の保護膜8とで挟み込む構造としてが、第3の実施形態では誘導素子L上に第2の保護膜8を介して磁性体膜9を設けた構造を有する。磁性体膜9は、強磁性体材料で形成したり、あるいは樹脂材などに強磁性体材料あるいは軟磁性体材料を混入させて形成することもできる。

このように誘導素子L上に第2の保護膜8を介して磁性体膜9を設けると、強インダクタ成分が生じ、その結果、誘導素子Lを小型化することができるとともに、誘導特性を向上させることができる。

#### 【0041】

##### 【発明の効果】

請求項1および請求項10に記載の発明によれば、回路素子形成領域及び複数の接続パッドが形成された半導体基板と、該回路素子形成領域上に形成された絶縁膜と、前記複数の接続パッドに接続されるとともに、前記回路素子形成領域上に前記絶縁膜を介して配置される複数の第1の導体層と、前記複数の第1の導体層上に設けられた複数の柱状電極と、を備える半導体装置において、前記絶縁膜上に形成された、少なくとも1つの第2の導体層を備え、該第2の導体層により回路素子形成領域上に絶縁膜を介して誘導素子を形成するようにしたので、チップ面積の増大を招くことなく誘導素子を搭載することができる。

請求項2および請求項11に記載の発明によれば、回路素子形成領域上に絶縁膜を介して形成された誘導素子を保護膜で覆うようにしたので、安定した誘導特性を得ることができる。

請求項3および請求項12に記載の発明によれば、回路素子形成領域上に絶縁膜を介して形成された誘導素子素子上に前記保護膜を介して磁性体膜が形成されるようにしたので、強インダクタンスを生成し得る結果、誘導素子の小型化及び

誘導特性の向上を図ることができる。

請求項 4 ～ 6 に記載の発明によれば、回路素子形成領域上に絶縁膜を介して設けられる誘導素子を、回路素子形成領域の集積回路に対して様々な形態で接続し得るので、チップ面積の縮小、及びモジュール面積の縮小をを行うことができる。

請求項 7 ～ 9 に記載の発明によれば、回路素子形成領域上に絶縁膜を介して設けられる誘導素子を複数備え、各誘導素子を回路素子形成領域の集積回路に対して様々な形態で接続し得るので、更に、チップ面積の縮小、及びモジュール面積の縮小をを行うことができる。

請求項 1 3 ～ 1 5 に記載の発明によれば、回路素子形成領域と複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板上の各チップ形成領域の回路素子形成領域上に、絶縁膜を介して導体層により誘導素子を形成し、前記複数の接続パッドに接続された、少なくとも 1 つの柱状電極を形成した後、前記チップ形成領域毎に分断して複数のチップを形成するようにしたので、回路素子形成領域上に、絶縁膜を介して誘導素子を搭載した複数のチップを、まとめて形成することができる。

#### 【図面の簡単な説明】

##### 【図 1】

第 1 の実施形態による半導体装置 2 0 の構造を示す断面図である。

##### 【図 2】

誘導素子 L に配置形態を説明するための平面図である。

##### 【図 3】

第 1 の実施形態による半導体装置の製造工程を説明する為の断面図である。

##### 【図 4】

図 3 に続く半導体装置の製造工程を説明する為の断面図である。

##### 【図 5】

図 4 に続く半導体装置の製造工程を説明する為の断面図である。

##### 【図 6】

図 5 に続く半導体装置の製造工程を説明する為の断面図である。



【図 7】

図 6 に続く半導体装置の製造工程を説明する為の断面図であり、個片化された半導体装置 2 0 の完成状態を示すものである。

【図 8】

誘導素子 L の接続態様を説明するための図である。

【図 9】

誘導素子 L の接続態様を説明するための図である。

【図 1 0】

誘導素子 L の接続態様を説明するための図である。

【図 1 1】

誘導素子 L の接続態様を説明するための図である。

【図 1 2】

第 2 の実施形態による半導体装置 2 0 の構造を示す断面図である。

【図 1 3】

第 3 の実施形態による半導体装置 2 0 の構造を示す断面図である。

【図 1 4】

従来例による半導体装置 2 0 の構造を示す断面図である。

【図 1 5】

ウエハ 1 の回路素子形成領域 D A を示す平面図である。

【符号の説明】

- 1 ウエハ（半導体基板）
- 2 接続パッド
- 3 パッシベーション
- 4 保護膜
- 5 導体層
- L 誘導素子
- 6 ポスト（柱状電極）
- 7 封止膜
- 8 保護膜

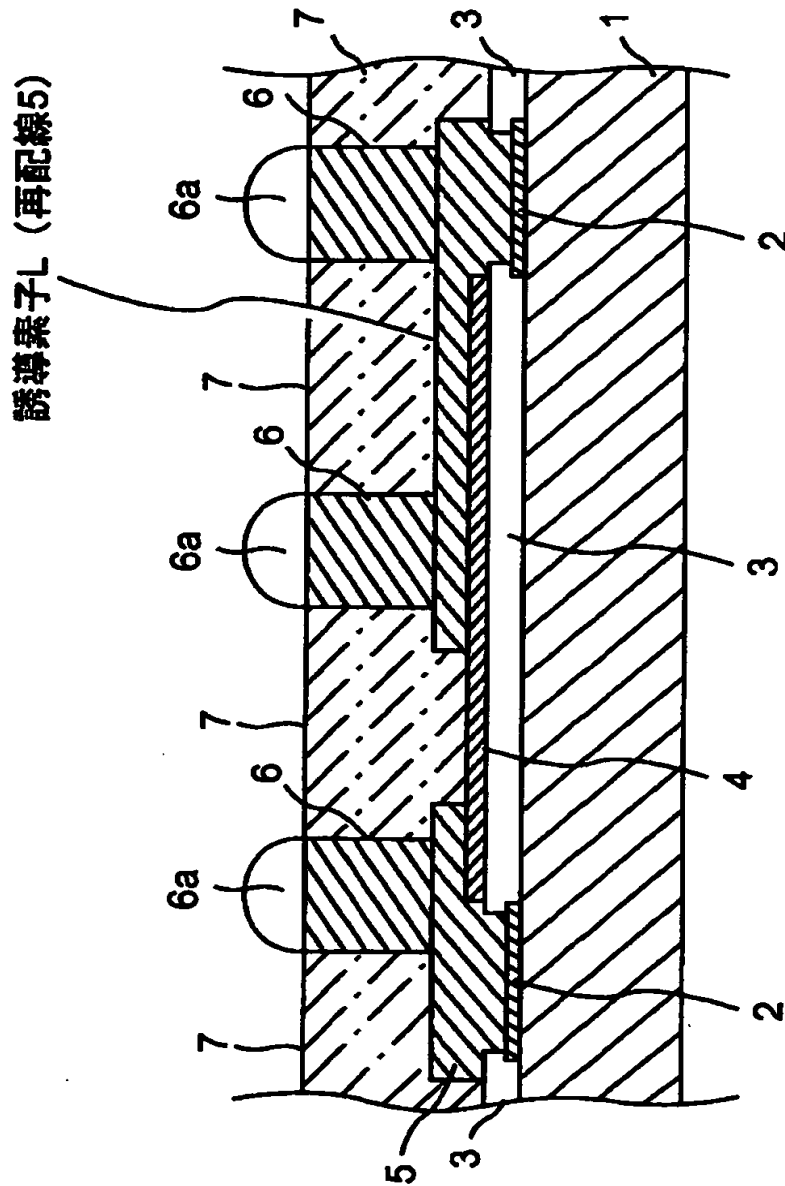
9 磁性体膜

2 0 半導体装置

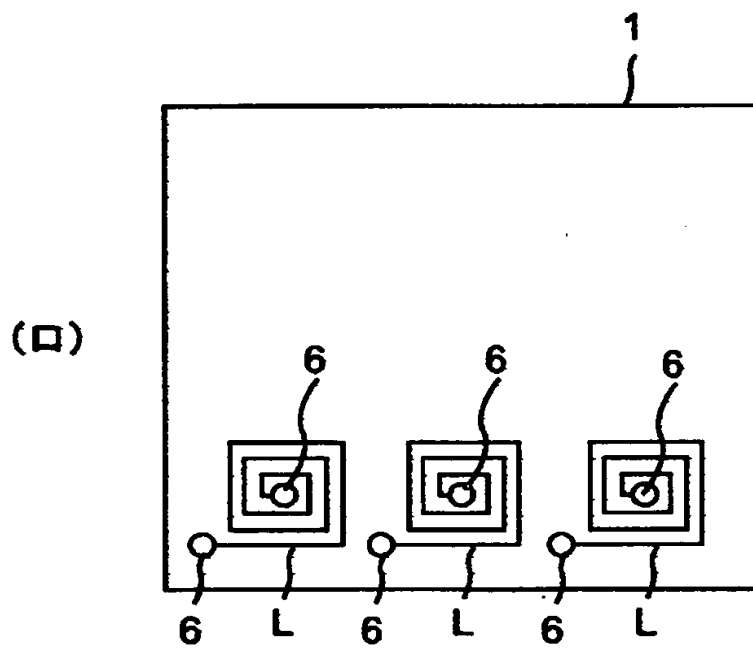
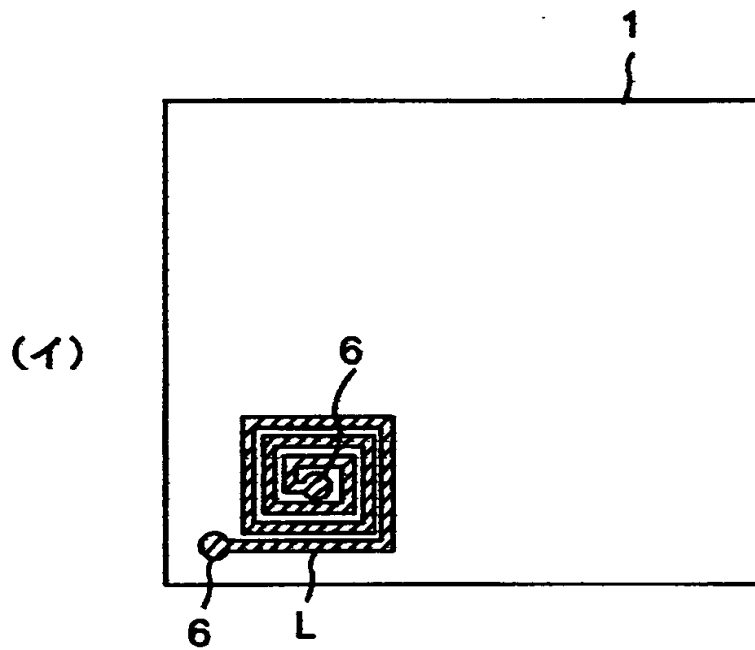
【書類名】

図面

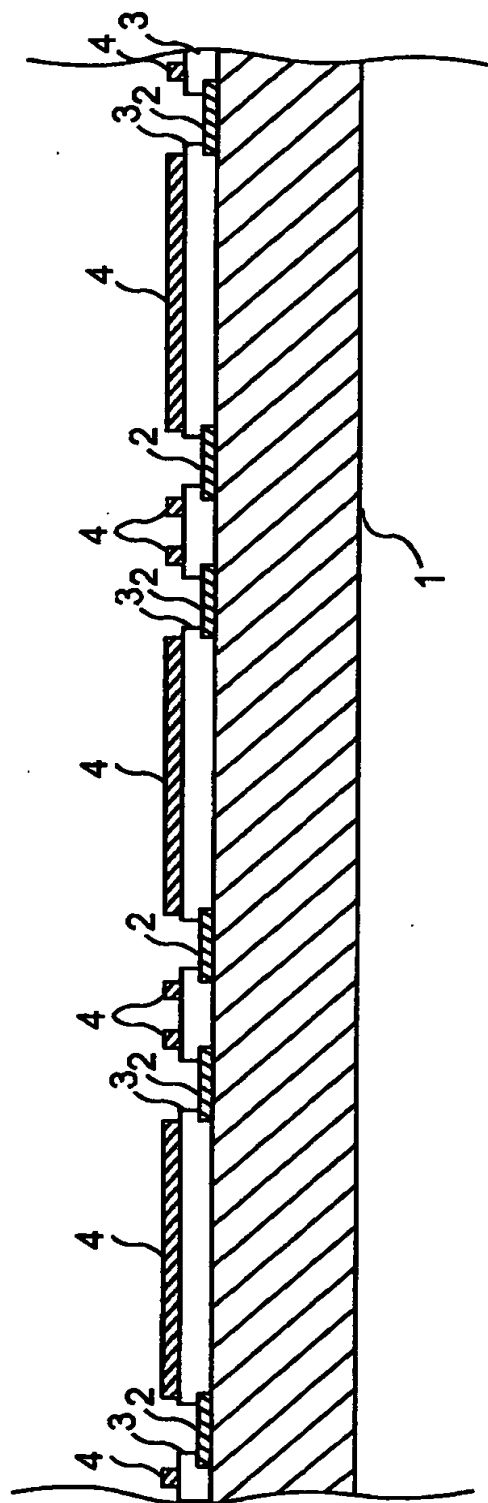
【図 1】



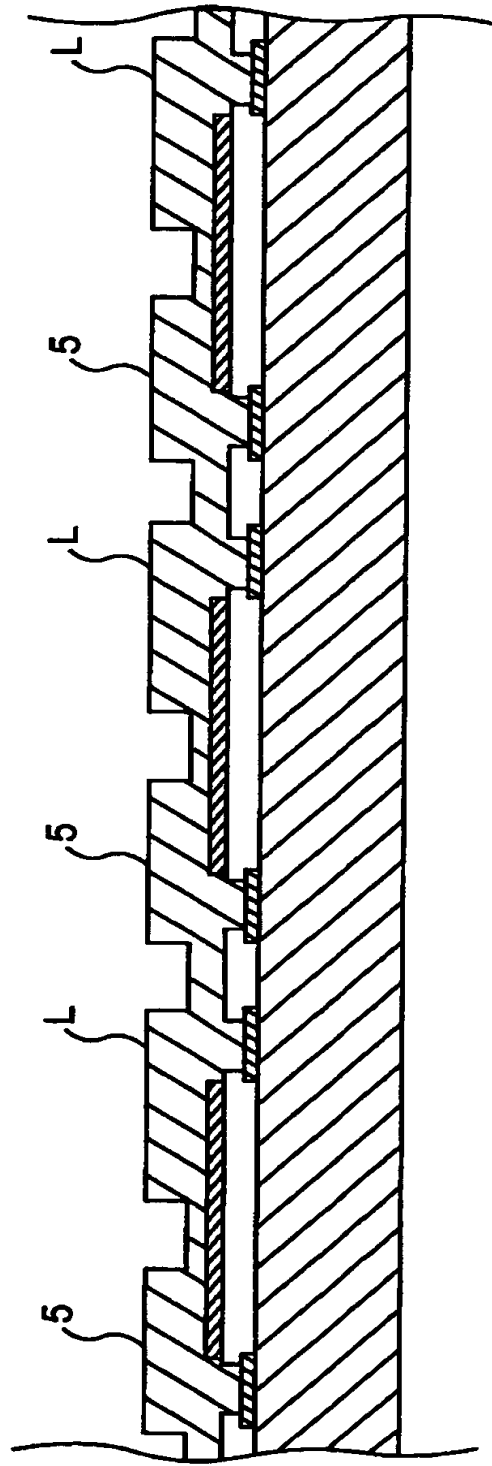
【図 2】



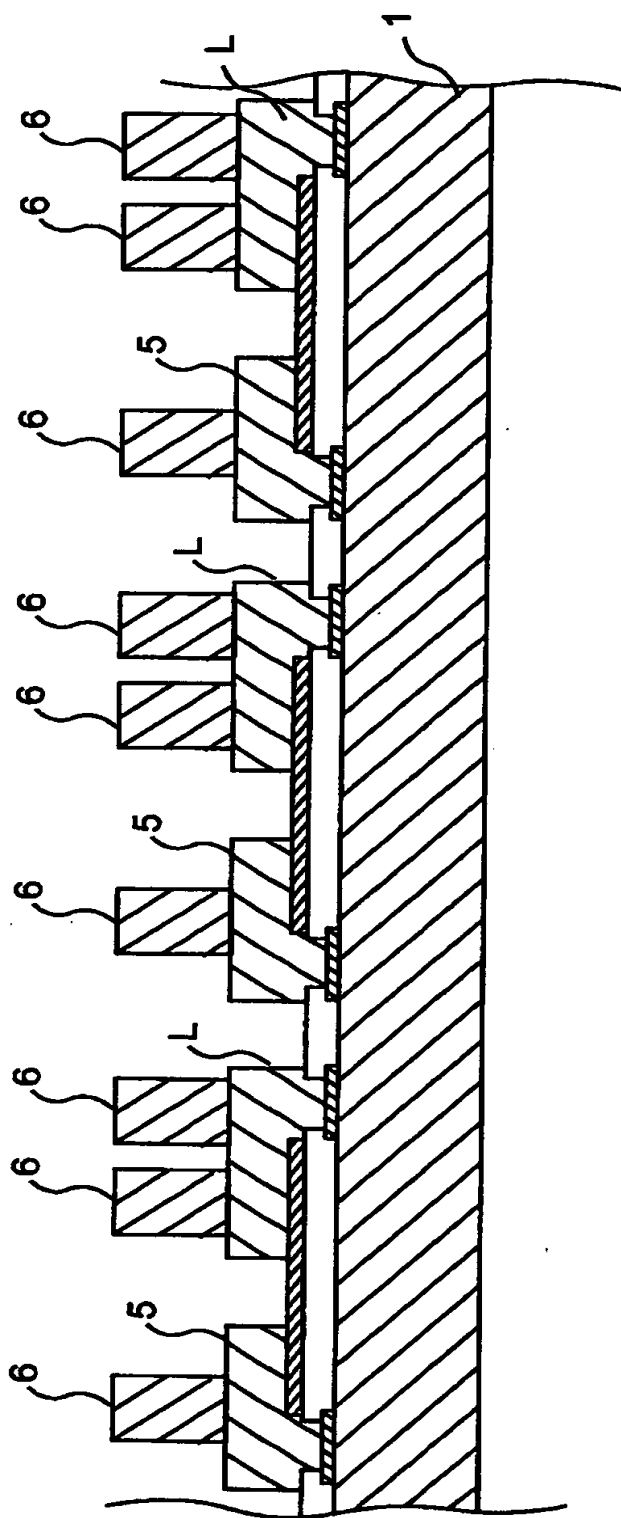
【図 3】



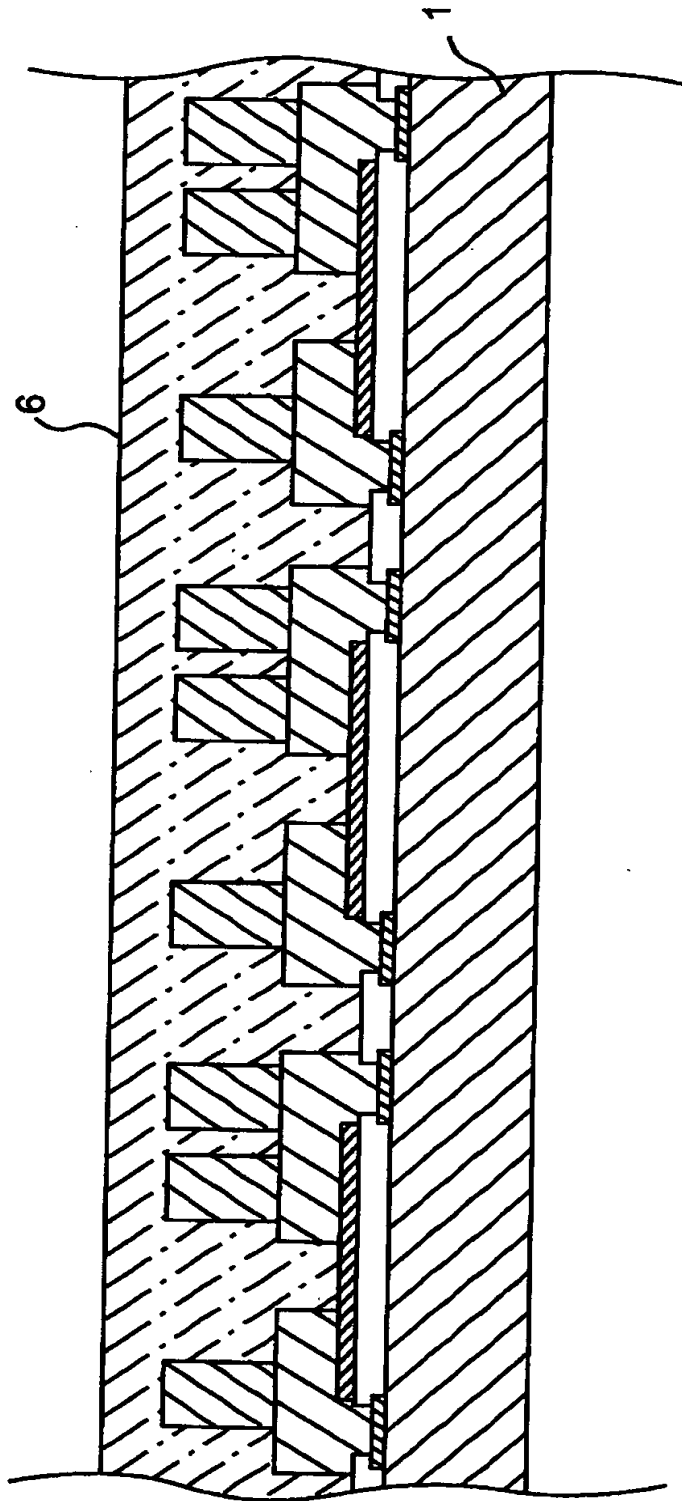
【図 4】



【図 5】

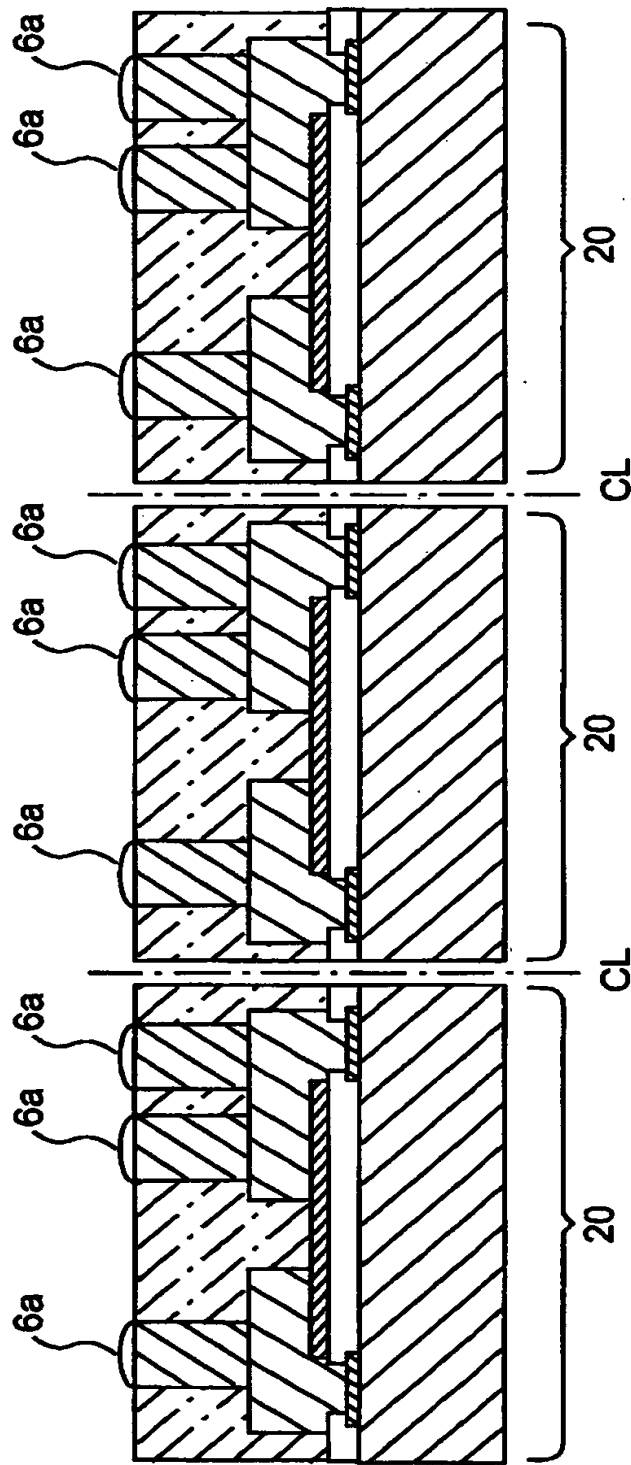


【図 6】

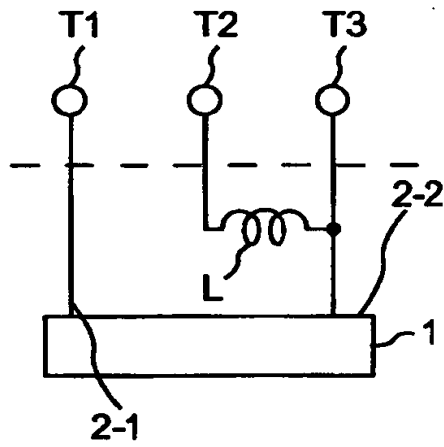
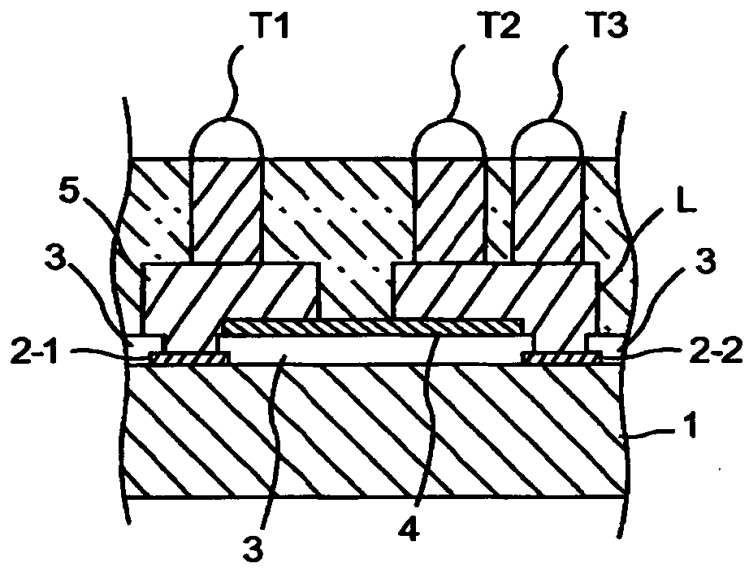




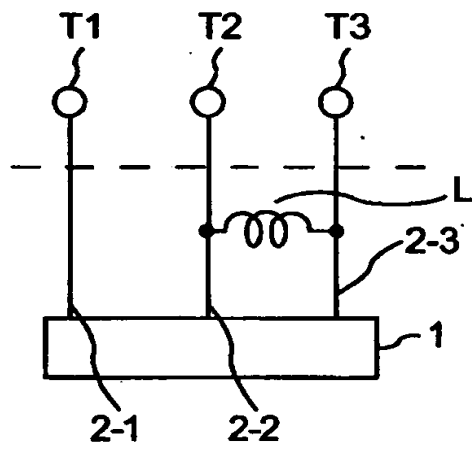
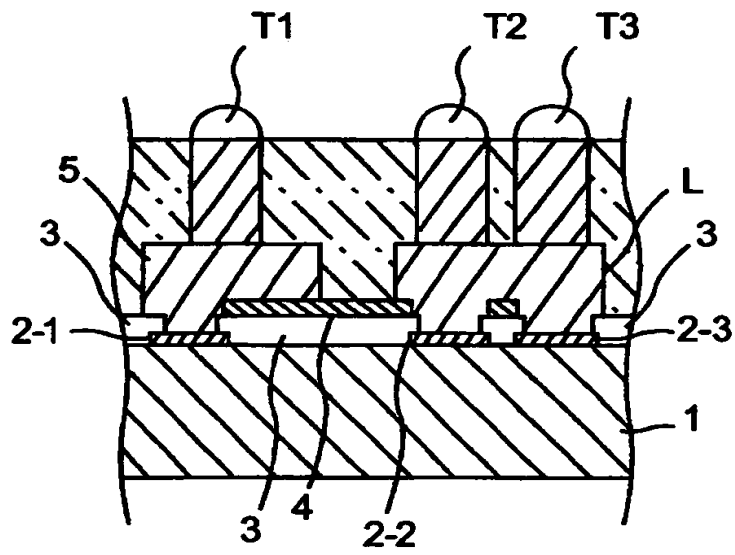
【図 7】



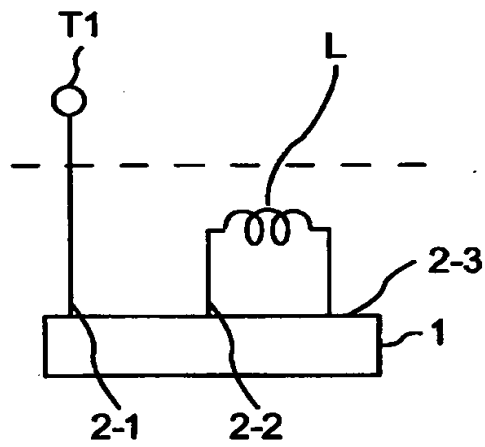
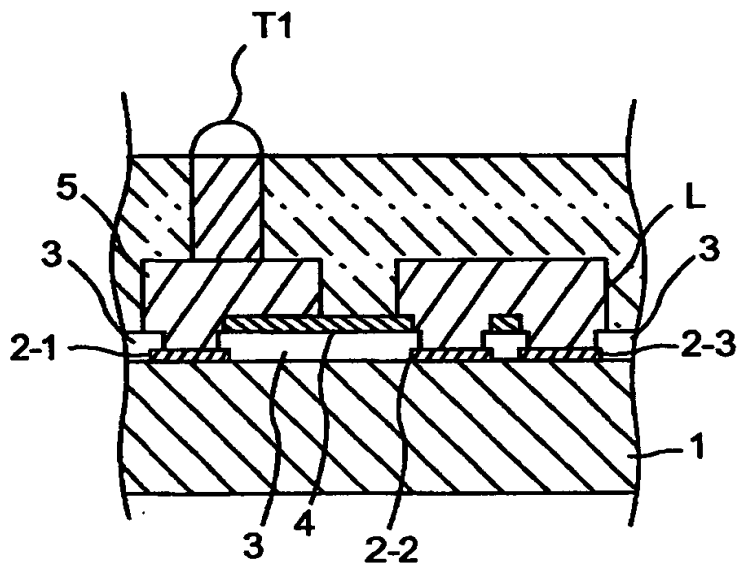
【図 8】



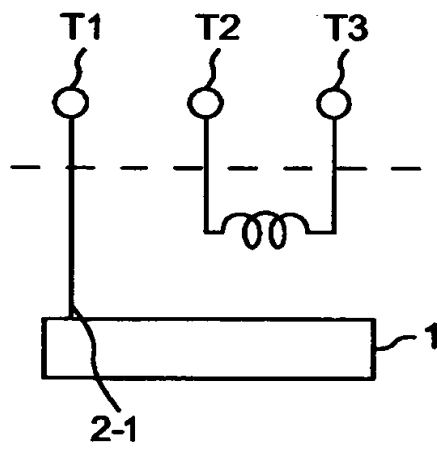
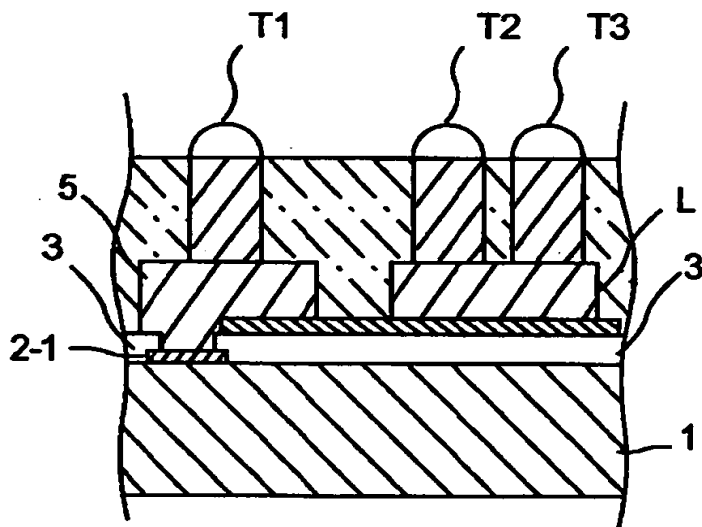
【図 9】



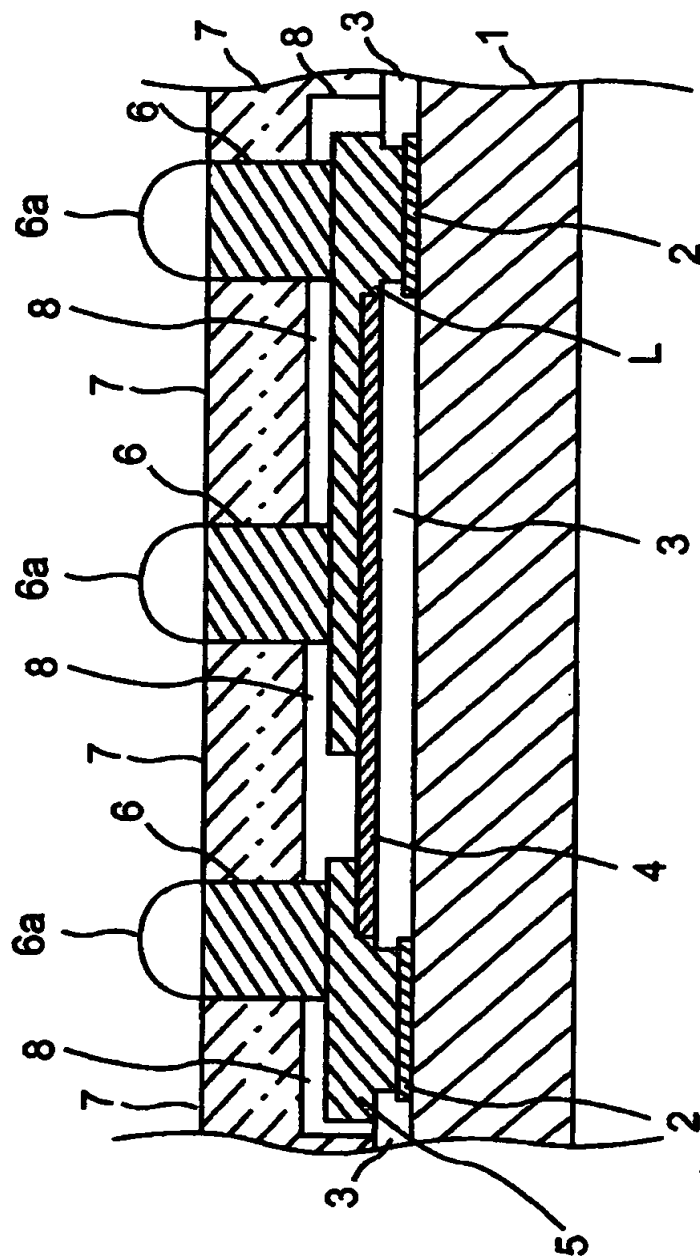
【図 1 0】



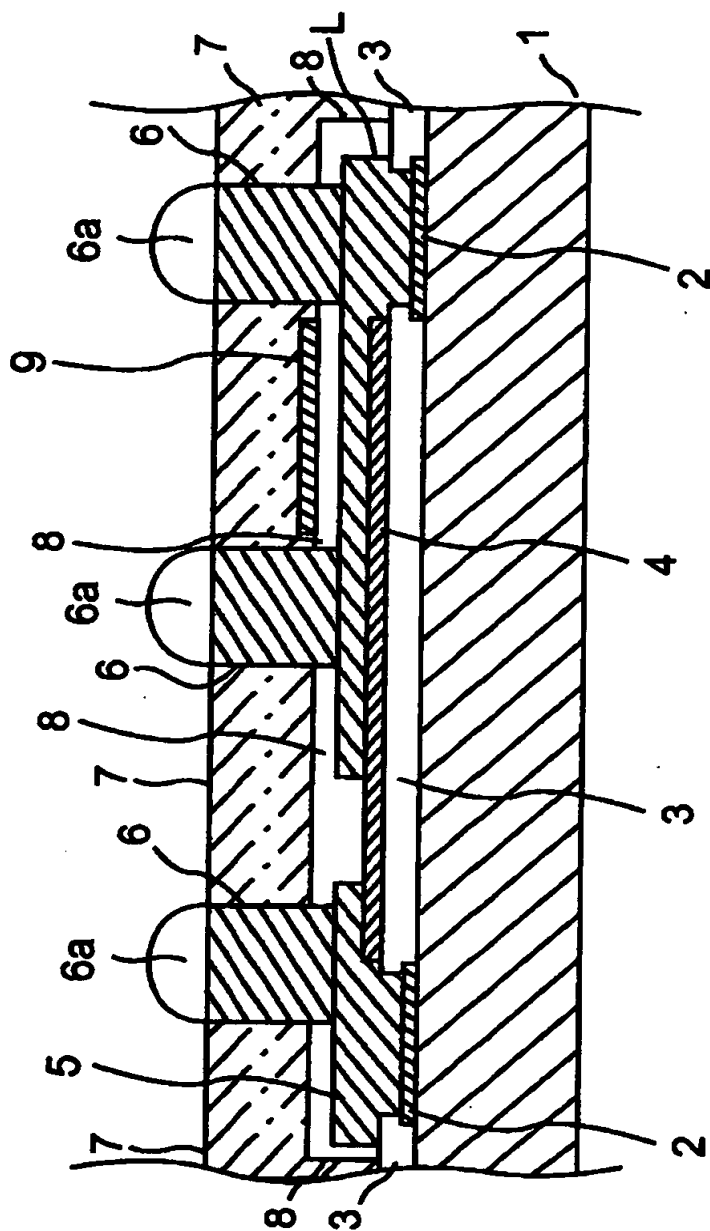
【図 1 1】



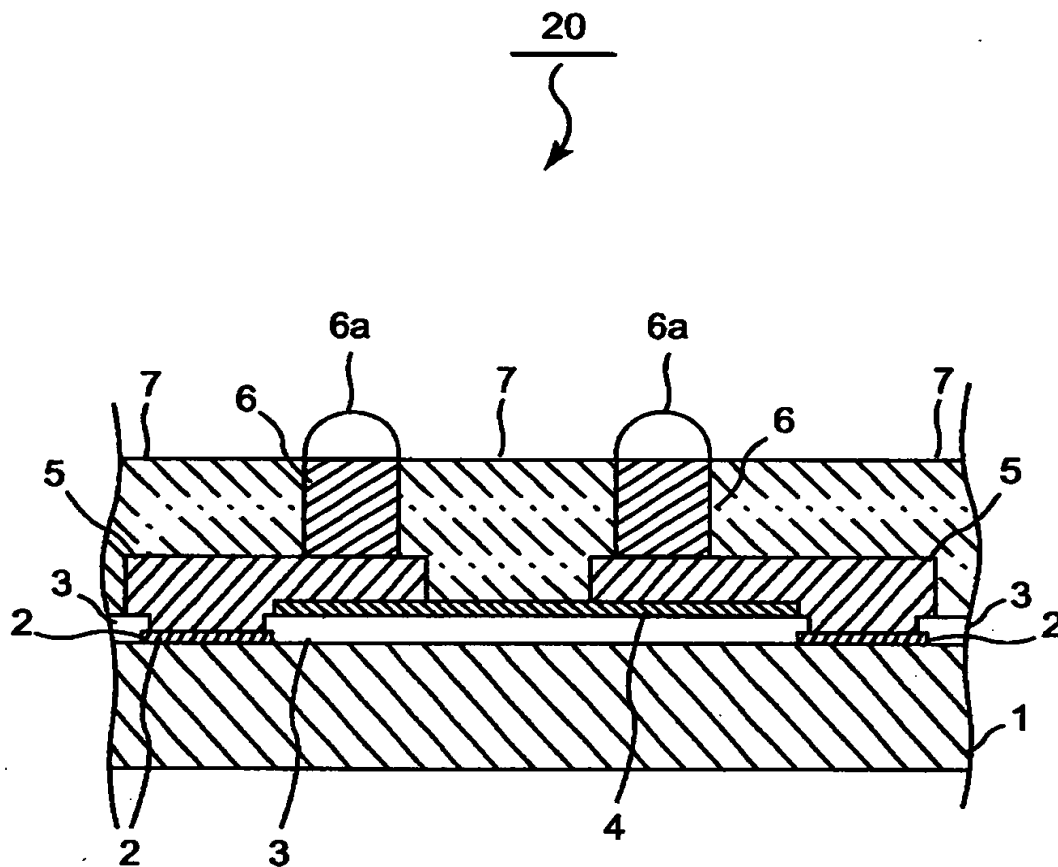
【図 12】



【図13】

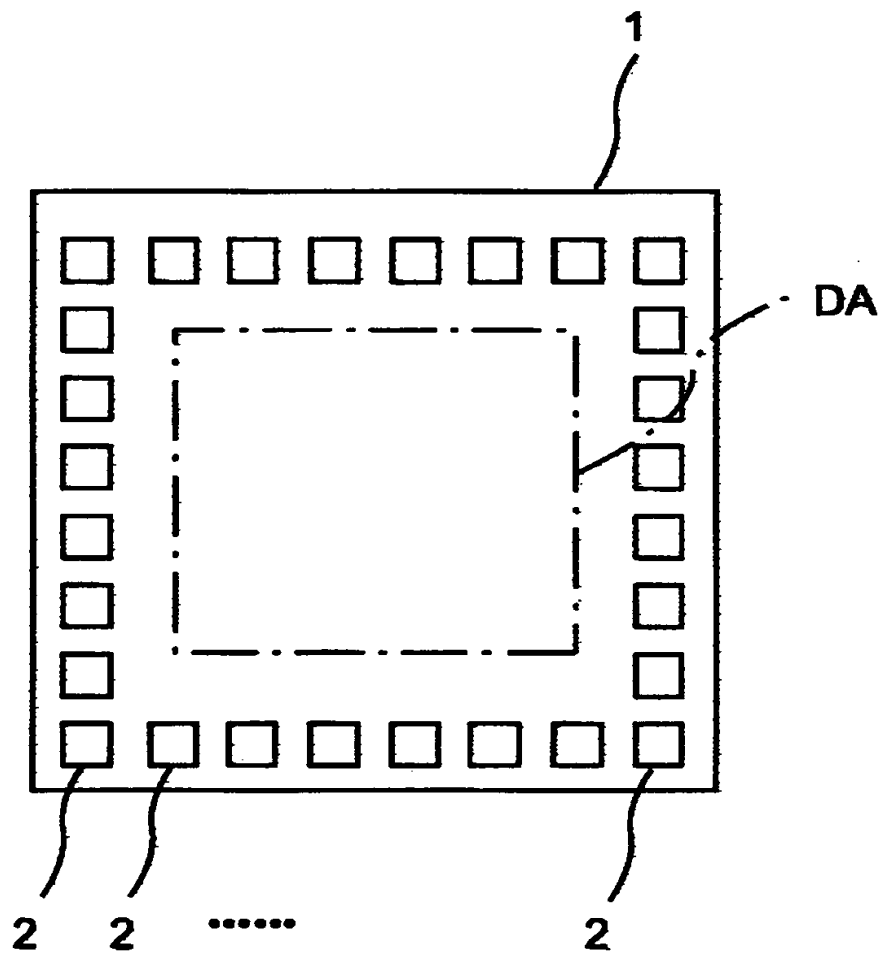


【図 14】





【図 1 5】



【書類名】                      要約書

【要約】

【課題】 チップ面積の増大を招くことなく誘導素子（インダクタ）を搭載することができる半導体装置およびその製造方法を実現する。

【解決手段】 回路素子形成領域上に配置される導体層をインダクタンス成分が生じるようにパターニングして誘導素子Lを形成するので、チップ面積の増大を招くことなく誘導素子を搭載することができる。また、誘導素子Lを保護膜で覆うようにすることによって、安定した誘導特性を得ることができる。さらに、誘導素子L上に、保護膜を介して磁性体膜を形成するように構成することによって、誘導素子の小型化及び誘導特性の向上を図ることができる。

【選択図】    図 1

特 2000-243783

出 願 人 履 歴 情 報

識別番号 [500224531]

1. 変更年月日	2000年 5月18日
[変更理由]	新規登録
住 所	東京都八王子市東浅川町550番地の1
氏 名	株式会社アイ・イー・ピー・テクノロジーズ

特 2 0 0 0 - 2 4 3 7 8 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 4 4 3 ]

1. 変更年月日	1 9 9 8 年 1 月 9 日
[変更理由]	住所変更
住 所	東京都渋谷区本町 1 丁目 6 番 2 号
氏 名	カシオ計算機株式会社